

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-163841

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H01L 27/088
H01L 27/06

(21)Application number : 05-199326

(71)Applicant : NATL SEMICONDUCTOR CORP
<NS>

(22)Date of filing : 11.08.1993

(72)Inventor : MERRILL RICHARD B
REYNOLDS DAVID C
FARRENKOPF DOUG

(30)Priority

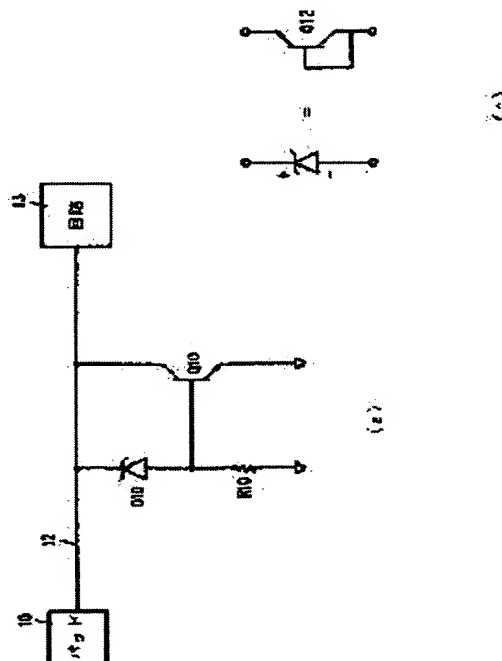
Priority number : 92 928902 Priority date : 12.08.1992 Priority country : US

(54) ESD PROTECTION USING NPN BIPOLAR TRANSISTOR

(57)Abstract:

PURPOSE: To protect the functions of an integrated circuit against electrostatic discharge by constituting a protecting circuit of a Zener diode, a bipolar transistor (TR), and a resistor.

CONSTITUTION: A Zener diode D10 has its anode connected to the base of on NPN bipolar TR Q10 and its cathode connected to a mutual connection 12. The diode D10 can be actualized by using an NPN bipolar TR Q12. The collector of the TR Q12 should have a low resistance, so as to minimize the total sum of the reverse breakdown voltage across the Zener diode and a voltage drop as a result of an ESD current. A resistance R10 is connected between the base of the TR Q10 and a ground. The emitter of the TR Q10 is grounded, and the collector of the TR Q10 is connected to the mutual connection 12. The TR Q10 is a large NPN bipolar TR and has a small parasitic resistance.



LEGAL STATUS

[Date of request for examination] 21.03.2000

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2003-05746
of rejection]

[Date of requesting appeal against examiner's 07.04.2003
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-163841

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl. ⁵ H 0 1 L 27/088 27/06	識別記号 9170-4M 9170-4M	庁内整理番号 F I H 0 1 L 27/08 27/06	技術表示箇所 1 0 2 F 3 1 1 C
--	----------------------------	---	------------------------------

審査請求 未請求 請求項の数4(全11頁)

(21) 出願番号 (22) 出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国	特願平5-199326 平成5年(1993)8月11日 928902 1992年8月12日 米国 (US)	(71) 出願人 ナショナル セミコンダクタ コーポレイ ション NATIONAL SEMICONDUCTOR CORPORATION アメリカ合衆国, カリフォルニア 95052, サンタ クララ, セミコンダクタ ドライ ブ 2900 (72) 発明者 リチャード・ビー・メルル アメリカ合衆国カリフォルニア州94014ダ リ・シティ, アルタ・ヴィスタ・ウェイ・ 258 (74) 代理人 弁理士 古谷 肇 (外2名)
--	---	---

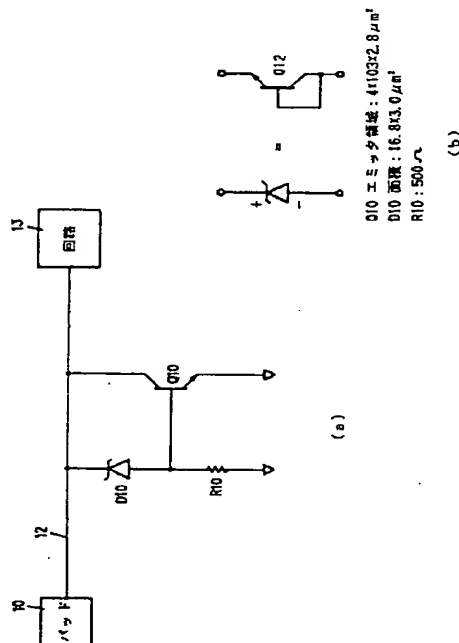
最終頁に続く

(54) 【発明の名称】 NPNバイポーラトランジスタを用いたESD保護

(57) 【要約】

【構成】 静電放電からICを保護するための回路が、コレクタが第一のI/Oパッド(10)に接続され、エミッタがV_{SS}に接続されているNPNトランジスタ(Q10)を含む。ツェナーダイオード(D10)のカソードが第一のI/Oパッド(10)に接続され、アノードがNPNトランジスタ(Q10)のベースと第一の抵抗(R10)の両者に接続されている。第一の抵抗(R10)の他端は、V_{SS}に接続されている。

【効果】 降伏電圧を低く保ち、静電放電(ESD)を効果的に散逸することにより集積回路の機能の良好な保護が達成される。



【特許請求の範囲】

【請求項1】 静電放電（ESD）パルスから集積回路機能を保護するために集積回路（IC）について使用可能な保護回路であって、ICを含有するパッケージが相互接続を介してICの機能の各々と電気的に接触するための複数のパッドを含み、第一の相互接続を介して第一のIC機能と接触する第一のパッドと、第二の相互接続を介して第二のIC機能と接触する第二のパッドと、第三の相互接続を介してICに第一の基準電圧を給電する第三のパッドと、第四の相互接続を介してICに第二の基準電圧を給電する第四のパッドとを少なくとも含むものにおいて、前記保護回路が、

アノードとカソードとを有するツェナーダイオードと、ベース、コレクタ、及びエミッタを有する第一のバイポーラトランジスタと、及び第一及び第二の端子を有する抵抗とからなり、前記ツェナーダイオードのカソードが前記第一の相互接続に接続され、前記第一のバイポーラトランジスタのコレクタが前記第一の相互接続に接続され、前記ツェナーダイオードのアノードと前記第一のバイポーラトランジスタのベースとが前記抵抗の第一の端子に接続され、及び前記第一のバイポーラトランジスタのエミッタと前記抵抗の第二の端子とが前記第四の相互接続に接続されていることからなる保護回路。

【請求項2】 前記ツェナーダイオードが、ベースがコレクタに接続されてアノードを形成し、エミッタがカソードを形成している第二のバイポーラトランジスタからなる、請求項1の保護回路。

【請求項3】 静電放電（ESD）パルスから集積回路（IC）の回路機能を保護するために集積回路について使用可能な保護回路であって、ICを含有するICパッケージが、第一の基準電圧をICに給電する第一の接点と、第二の基準電圧をICに給電する第二の接点と、ICのI/O回路機能のそれぞれに電気的に接触するための複数のI/O接点とを少なくとも有するものにおいて、保護回路が、

アノード及びカソードを各々が有する複数のツェナーダイオードと、

ベース、コレクタ、及びエミッタを各々が有する複数のバイポーラトランジスタと、及び第一及び第二の端子を各々が有する複数の抵抗とからなり、

第一のツェナーダイオードのカソードが前記第一の接点に接続され、第一のバイポーラトランジスタのコレクタが前記第一の接点に接続され、前記第一のバイポーラトランジスタのエミッタが前記第二の接点に接続され、前記第一のツェナーダイオードのアノードが第一の抵抗の第一の端子と前記第一のバイポーラトランジスタのベースに接続され、及び前記第一の抵抗の第二の端子が前記第二の基準電圧に接続されており、また前記I/O回路機能の各々について、第二のツェナーダイオードのカソードがI/O接点に接続され、第二のバイポーラトラン

ジスタのコレクタが前記I/O接点に接続され、前記第二のバイポーラトランジスタのエミッタが前記第二の基準電圧に接続され、前記第二のツェナーダイオードのアノードが第二の抵抗の第一の端子と前記第二のバイポーラトランジスタのベースに接続され、前記第二の抵抗の第二の端子が前記第二の基準電圧に接続されている保護回路。

【請求項4】 前記ツェナーダイオードの各々が、ベースがコレクタに接続されてアノードを形成し、エミッタがカソードを形成している第三のバイポーラトランジスタからなる、請求項3の保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般的には保護回路に関し、より詳しくは、集積回路において静電放電（ESD）に対する保護を行うための回路に関するものである。

【0002】

【従来の技術】 半導体集積回路（IC）における静電放電（ESD）は、周知の問題点である。集積回路における、突発的な電圧スパイクの不慮の存在は、回路の機能の物理的な破壊を生ずる可能性がある。例えばESDにより誘起されたスパイクは、電界効果トランジスタ（FET）の薄いゲート酸化膜を破裂させ、或いは単純に、半導体デバイスのp-n接合を劣化させ得るものであり、適切なICの動作を事実上破壊することになる。MOSトランジスタにおける典型的な「ゲート酸化膜」は、その絶縁強度が約 10^7 V/cmを越えた場合には破裂してしまう。

【0003】 半導体デバイスに対するESD事象の影響をシミュレートするために、3つの基本的なモデルがある。人体モデル、機械モデル、及び帯電デバイスモデルである。これらのモデルは、ESD事象に対するデバイスの抵抗を定量化するためのテストを構成するのに用いることができ、また提示されるESD保護回路の有効性を標準的な回路シミュレーション技術を用いてモデル化するのに用いることができる。

【0004】 人体モデルは、半導体デバイスを人が取り扱う影響についてシミュレートすることを意図している。図1において、コンデンサC1は人体の静電容量をシミュレートしており、一般的には100pFとなるように選ばれる。抵抗R1は人体の直列抵抗をシミュレートしており、通常は1.5KΩとしてモデル化される。コンデンサC1は初期電圧V1へと充電され、次いで試験対象デバイス（DUT）内へと放電される。2から3KeV程度のプリチャージ電圧に耐えることのできるデバイスは、産業規格によれば受け入れ可能なものとみなされる。人体モデルに従う試験について広く用いられている規格は、MIL-STD-883C, notice 8, method 3015.7, "Electrical Discharge Sensitivity Test" (電気放電感受性試

験)”(1989)に提示されている。

【0005】機械モデル、即ち「ゼロオーム」モデルは、C1が200pFであり、R1が「ゼロオーム」を近似する点を除き、図1の回路を用いるものである。実用的な構造においては、R1は20から40オームの範囲にある。機械モデルの放電時定数は、人体モデルのそれよりもずっと短く、回路の寄生成分は放電に際して、DUTから見た最大電流及び電圧に対してより大きな影響を及ぼす。400ボルトに耐えることのできるデバイスが、産業規格によれば受け入れ可能なものとみなされている。このモデルは日本において一般的に用いられており、日本電子機械工業会のEIAJ規格、IC-121 Book 2 (1988)においてカバーされている。

【0006】帯電デバイスモデルは、半導体デバイスのパッケージング及び試験に際しての機械的取り扱いに付随する、ESDによる故障のメカニズムをシミュレートするために用いられている。このモデルによれば、ICパッケージは摩擦電気により、又は大きな電場の存在により、ある電位(100ボルトから2000ボルト)へと帯電される。次いでデバイスは、デバイスのピンの何れかを介して接地へと放電される。帯電は通常、基板のピンを介してなされ、放電はデバイスのピンに対して、接地された低インダクタンスのプロープを接触させることによって開始される。この放電過程についての時定数は150psよりも短く、放電エネルギーはパッケージの静電容量に依存している。

【0007】帯電デバイスモデルは、パッケージングされた半導体デバイスの機械的な取り扱いに際してのESD事象をシミュレートする。機械的取り扱いによるESD損傷は、人が取り扱う場合のESD損傷よりも重要なものとなってきている。というのも、これまでは人によるESD損傷を最小限にすることに注意が払われてきており、機械からのESD損傷を最小限にすることについては比較的僅かな作業しか行われてこなかったからである。帯電デバイスモデルについては公的な規格はまだ存在していないが、しかし何らかの規格が間もなくEOS/ESD Association, Device Standards Committeeから登場することが予期されている。

【0008】接合リークは、ESD故障の一つの一般的な形態である。2000ボルトの人体モデルは0.2mJのエネルギーに等しいが、これは85,000 μm^2 のシリコンを室温から融点にまで上昇させるのに十分なエネルギーである。このことからすれば、ESD事象は、半導体デバイスのシリコン結晶構造に対してかなりの損傷を与えるのに十分なエネルギーを持っているということになる。従って幾つかの材料的な技術は、他のものよりもこの種のタイプの損傷に対して、本来的により敏感なものである。例えば、Al/TiW/PtSi₂冶金技術により形成される接点、W/TiW/TiN冶金技術で形成される接点よりも、接合リークに対してずっと影響を受け易い。これは、TiW/

TiN障壁がより高温に耐える能力を有しているためである。シリサイド化された接合部は、非シリサイド化接合部よりも接合リークに対してより敏感であるという傾向がある。なぜならシリサイドは、ソースドレイン及びアクティブ領域の縁部へと向けて電流を押し寄せさせ、それにより局所的な電力密度を増大させるからである。

【0009】特に回路機能の大きさがスケールダウンし続け、それに伴ってゲート酸化膜の固有の破壊電圧もスケールダウンするにつれて、進化したCMOS製造法について最も一般的なESD故障のメカニズムは、ゲート酸化膜の一体性の破壊である。

【0010】余り一般的ではないが、ESD電流の経路において、開放故障が生ずることがある。例えば、入力と直列の経路は開回路になる可能性があり、或いは電流リミッタとして保護ネットワーク中において意図的に配置された多結晶シリコンの直列抵抗が、過剰のエネルギーを吸収して蒸発する可能性がある。通常、このタイプの故障は、大きなESD電流が流れる全ての経路において、適切な電流担持静電容量が存在することを確実なものとするようなレイアウト規則に従うことによって対処できる。

【0011】在来のCMOS入力保護ネットワークを図2に示す。ESDストレスの極性が接地に対して負である場合、ダイオードD1は順バイアスとなる。ダイオードの直列抵抗が十分に低いものである限り、回路側から見た電圧は、チップ上での電力散逸を最小限にし、CMOSゲート酸化膜を保護するのに十分な程度に低いままである。例えば、3KeVに帯電された人体モデルは、2アンペアの瞬時電流に対応する。従って、回路側から見た全電圧を8ボルトに維持するためには、ダイオードの直列抵抗は4オームを越えてはならないが、この8ボルトというのは0.5 μm のCMOS製造法において典型的である10nmのゲート酸化膜について最悪の破壊に対応したものである。

【0012】ESDストレスが接地に関して正である場合には、電流の流れについて二つの可能性がある。第一には、ダイオードD2が逆降伏に達するまで充電され、その時点において入力における電圧の上昇がクランプされるようになるということである。残念ながら、D2についての逆降伏はゲート酸化膜の降伏点よりも高く、それにより入力又は出力デバイスバッファに損傷を与える電圧が通過することが許される。第二には、ダイオードD1が順バイアスされ、寄生フィールドのターンオン、ゲート酸化膜の降伏、又はラッチアップなどのチップ上における何らかの降伏メカニズムがV_{cc}の上昇をクランプするまで、V_{cc}の充電を開始する。ESDストレスに際してチップの内部において故障を生ずるのは、このメカニズムである。

【0013】

【発明が解決しようとする課題】従って、チップ上で到

達される最大電圧を減ずることが可能であるならば、ESDストレスに際してチップ上で散逸される電力は減少され、このことは次いで、ストレスに際して接合部が到達する温度を減少させ、かくして接合リーク故障メカニズムを低下させることができる。同時に、ゲート酸化膜に対するストレスもまた減じられる。従って、ストレスに際して回路側から見た電圧の動作範囲を最小限にすることが望ましい。このことは、入力ダイオードD2の降伏電圧を減少させ、又は V_{cc}/V_{ss} 降伏を減少させ、一方においては同時に、直列抵抗が降伏の後でも維持されることを確実にしておくことによって行うことができる。低い降伏電圧を達成するためには、スナップバック又はラッチアップ特性を有するデバイスが用いられているが、そこには幾つかの欠点がある。即ち、トリガ電圧はゲート酸化膜の降伏を上回るほど十分に高く、損傷を生ずる可能性のあるゲート電流の瞬間的なパルスを生ずる。また負性抵抗デバイスをこれまでの回路シミュレーション技術でモデル化することは困難であり、デバイスの特性はレイアウトに対して敏感であるが、その態様は予見するのが困難である。さらにラッチアップは、比較的長い横方向のベース幅を横断しての少数キャリアの拡散に依存しており、この過程は特に帯電デバイスモデルについて、ESD事象に 대응するのに十分なほど速くはない。そして負性抵抗特性が十分に明確であるならば、それはデバイスのラッチアップ挙動を低下させることになる。従って、これらの欠点を回避することのできる保護回路を構成することが望ましい。

【0014】

【課題を解決するための手段】保護回路は、集積回路(IC)の機能を静電放電(ESD)から保護するために、ICについて使用可能なものである。ICパッケージは少なくとも、ICに対して第一の基準電圧を供給するための第一の接点と、ICに対して第二の基準電圧を供給するための第二の接点と、ICの回路機能のそれぞれと電気的に接触するための複数のI/O接点とを有する。第一のツェナーダイオードのカソードが、第一の接点に接続される。第一のトランジスタのコレクタも、第一の接点に接続される。第一のトランジスタのエミッタは、第二の接点に接続される。第一のツェナーダイオードのアノードは第一の抵抗の第一の端子に接続され、また第一のトランジスタのベースへと接続される。第一の抵抗の第二の端子は、第二の基準電圧へと接続される。第二のツェナーダイオードのカソードがI/O接点へと接続される。第二のトランジスタのコレクタも、I/O接点へと接続される。第二のトランジスタのエミッタは、第二の電圧基準へと接続される。第二のツェナーダイオードのアノードは、第二の抵抗の第一の端子、および第二のトランジスタのベースへと接続される。第二の抵抗の第二の端子は、第二の基準電圧へと接続される。

【0015】本発明の特徴及び利点のより良い理解は、

本発明の原理が用いられている例示的な実施例を示している、以下の本発明の詳細な説明及び添付図面を参照することによって得られる。

【0016】

【実施例】図3(a)を参照すると、半導体集積回路パッケージは典型的には、相互接続12を介して集積回路機能13へと電気的に接続された接触パッド10を含んでいる。本発明によれば、ツェナーダイオードD10は、そのアノードがNPNバイポーラトランジスタQ10のベースへと接続され、そのカソードが相互接続12へと接続されている。ダイオードD10は、図3(b)に示されているように、ダイオード接続されたNPNバイポーラトランジスタQ12を用いて実現することができる。このようなデバイスは、 $16.8 \times 3.0 \mu\text{m}^2$ のダイオード面積を有するように作成することができ、かくして約6ボルトの逆降伏電圧がもたらされる。トランジスタQ12のコレクタは、ツェナーダイオードの逆降伏電圧とESD電流の結果としての電圧降下との合計を最小限にするように、低い抵抗(数オーム)を持つものでなければならない。

【0017】抵抗R10が、トランジスタQ10のベースと接地との間に接続されている。トランジスタQ10のエミッタは接地へと接続され、またトランジスタQ10のコレクタは相互接続12へと接続されている。

【0018】トランジスタQ10は面積の大きなNPNバイポーラトランジスタであり、寄生抵抗は小さい。例えばエミッタ領域は、 $4 \times 103 \times 2.8 \mu\text{m}^2$ のチップ面積上で実現することができる。このようにして、ESD電流による電流の蓄積を小さいままにすることができる。

【0019】ESD保護回路の好ましい実施例を図4(a)に示す。そこにおいて典型的な集積回路チップパッケージは少なくとも、第一のI/Oパッド10と、第二のI/Oパッド20と、第一の基準電圧パッド30と、そして第二の基準電圧パッド31とを有する。第一の基準電圧パッド30は、ICに対して V_{cc} を供給するためのものであり、第二の基準電圧パッド31は、ICに対して V_{ss} を供給するためのものである。 V_{ss} は典型的には接地へと結び付けられており、従ってこのICの半導体デバイスの基板もまた、典型的には接地されている。

【0020】ダイオードD10が、相互接続12とトランジスタQ10のベースとの間に接続されている。抵抗R10は V_{ss} とトランジスタQ10のベースとの間に接続されている。トランジスタQ10のコレクタは相互接続12へと接続され、トランジスタQ10のエミッタは V_{ss} に接続されている。同様に、ダイオードD20は相互接続22とトランジスタQ20のベースとの間に接続されている。抵抗R20は V_{ss} とトランジスタQ20のベースとの間に接続されている。トランジスタQ20のコレクタは相互接続22へと接続され、またトランジスタQ20のエミッタは V_{ss} へと接続されている。さらに、ダイオードD30がパッド30(V_{cc})とトランジスタQ30のベースとの間に接続されている。抵抗R

7

30は、パッド31 (V_{ss} =接地) とトランジスタQ30のベースとの間に接続されている。トランジスタQ30のコレクタは V_{cc} に接続され、またトランジスタQ30のエミッタは V_{ss} に接続されている。

【0021】図4(a)に示した回路構成を用いて、以下に考えられる4つのESD事象、即ち(1) I/Oから V_{ss} 、(2) I/Oから V_{cc} 、(3) V_{cc} から V_{ss} 、及び(4) I/OからI/Oの各々を説明する。

【0022】図4(a)及び図4(b)において、ESD事象はI/Oパッド10と V_{ss} との間において生ずる。図4(a)において、正で進行するESDパルスはダイオードD10を逆バイアスし(矢印14a参照)、それによりトランジスタQ10のベース-エミッタ接合を順バイアスして、コレクター-エミッタチャネルがESD電流を V_{ss} (接地)へと、矢印14bにより示した経路に沿って導くようにさせる。図4(b)においては、負で進行するESDパルスが、トランジスタQ10のコレクタの電位をエミッタ、従って基板よりも負とし、かくしてこのチャネルが基板からコレクタへと逆電流を導くようにさせ、ESDパルスは矢印14cによって示された経路に沿って散逸される。

【0023】図5(a)及び図5(b)においては、ESD事象はI/Oパッド10と V_{cc} との間において生ずる。図5(a)において、 V_{cc} に対して正の極性を有するESDパルスはダイオードD30を逆バイアスさせ、かくしてトランジスタQ30のベース-エミッタ接合を順バイアスし、トランジスタQ30のコレクター-エミッタチャネルがESD電流を V_{ss} へと、矢印15aによって示した経路に沿って導くようにさせる。 V_{ss} は基板に連結されているから、トランジスタQ10のベース-エミッタ接合は順バイアスされ、ESD電流は矢印15bによって示されているようにして、基板を通り、コレクタからパッド10へと導かれる。図5(b)においては、負に進行するESDパルスがダイオードD10を逆バイアスし(矢印15c)、それによりトランジスタQ10のベース-エミッタ接合を順バイアスして、トランジスタQ10のチャネルがESDパルスを基板へと導くようにさせる。基板は V_{ss} パッド31に接続されているから、トランジスタQ30のエミッタ及び基板はコレクタより上の電位となり、ESDパルスは矢印15dで示されている経路に沿って、基板から V_{cc} へと導かれる。

【0024】図6(a)及び図6(b)においては、ESD事象は V_{cc} と V_{ss} との間において生ずる。図6(a)において、正に進行するESDパルスはダイオードD30の逆降伏電圧を迅速に克服し(矢印16a)、それによりトランジスタQ30のベース-エミッタ接合を順バイアスして、トランジスタQ30のコレクター-エミッタチャネルがESD電流を、矢印16bで示すようにして V_{ss} (接地)へと導くようにさせる。図6(b)においては、負に進行するESDパルスはトランジスタQ30のコレクタの電

8

位をエミッタ及び基板に比べてより負にするようにし、かくしてESDパルスは矢印16cによって示されているようにして、基板を介して V_{cc} へと導かれる。

【0025】図7(a)及び図7(b)においては、ESD事象はI/Oピン10と20との間において生ずる。図7(a)において、パッド10に対して正の極性を有するESDパルスは、ダイオードD10の逆降伏電圧を迅速に克服し(矢印17a)、それによりトランジスタQ10のベース-エミッタ接合を順バイアスして、トランジスタQ10のコレクター-エミッタチャネルがESD電流を、矢印17bで示されているようにして基板へと導くようにさせる。図7(b)においては、パッド10に対して負の極性を有するESD電流は、パッド20に対しては正の極性を有する。従って、ダイオードD20は逆バイアスされ(矢印17c)、それによりトランジスタQ20のベース-エミッタ接合を順バイアスして、トランジスタQ20のコレクター-エミッタチャネルがESD電流を、矢印17dによって示されている如くに、基板へと導くようにさせる。トランジスタQ10のコレクタはエミッタ及び基板よりも低く降下しているから、基板は矢印17dで示すようにしてコレクタへと導通する。

【0026】

【発明の効果】以上の実施例からも明らかなように、種々のESD事象は本発明による保護回路によって効果的に対処されうる。従来のように降伏電圧が高いこと、ラッチアップが遅いことなどにより、ESD事象に起因してゲート酸化膜が破壊されてしまうような事態を回避することができる。

【0027】本発明は上述した実施例の細目に限定されることが意図されたものではなく、特許請求の範囲によって画定されることが意図されていることが理解されねばならない。

【図面の簡単な説明】

【図1】ESD試験回路の概略回路図である。

【図2】在来のESD保護回路の概略回路図である。

【図3】(a)は本発明によって構成されたESD保護回路の概略回路図であり、(b)はツェナーダイオードを実現するためのNPNバイポーラトランジスタの使用を例示している。

【図4】(a)は本発明によって構成されたESD保護回路の好ましい実施例の概略回路図であり、(b)はESD事象に際しての(a)の回路の動作を示す。

【図5】(a)及び(b)は図4(a)に示した回路のESD事象に際しての動作を示す。

【図6】(a)及び(b)は図4(a)に示した回路のESD事象に際しての動作を示す。

【図7】(a)及び(b)は図4(a)に示した回路のESD事象に際しての動作を示す。

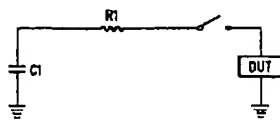
【符号の説明】

10, 20, 30, 31 パッド

9

- 1 2 相互接続
- 1 3 回路
- Q10, Q20, Q30 パイポーラトランジスタ

【図 1】



従来技術

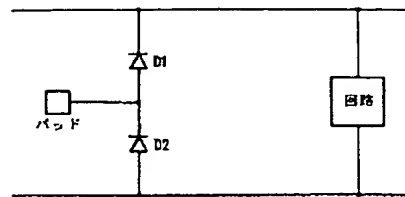
(6)

特開平 6 - 1 6 3 8 4 1

10

- D10, D20, D30 ツェナーダイオード
- R10, R20, R30 抵抗

【図 2】

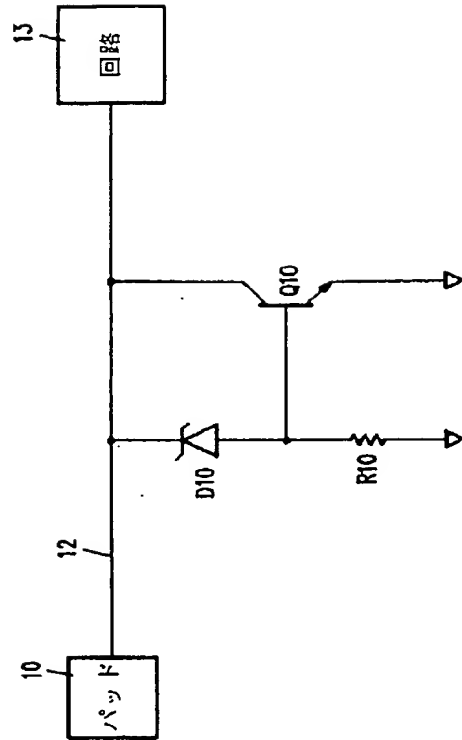


従来技術

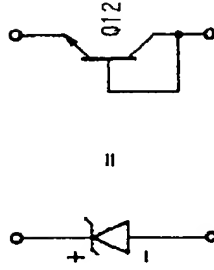
(7)

特開平6-163841

【図3】



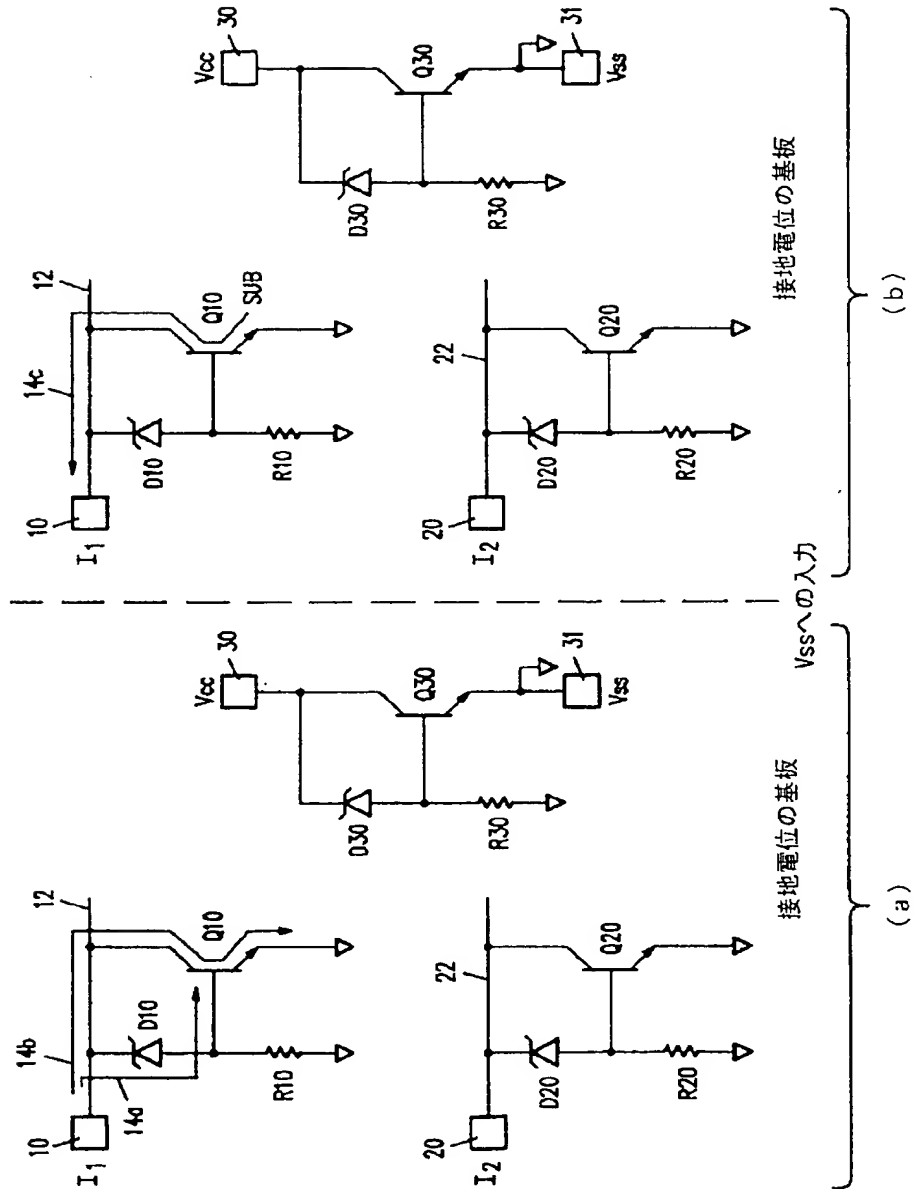
(a)



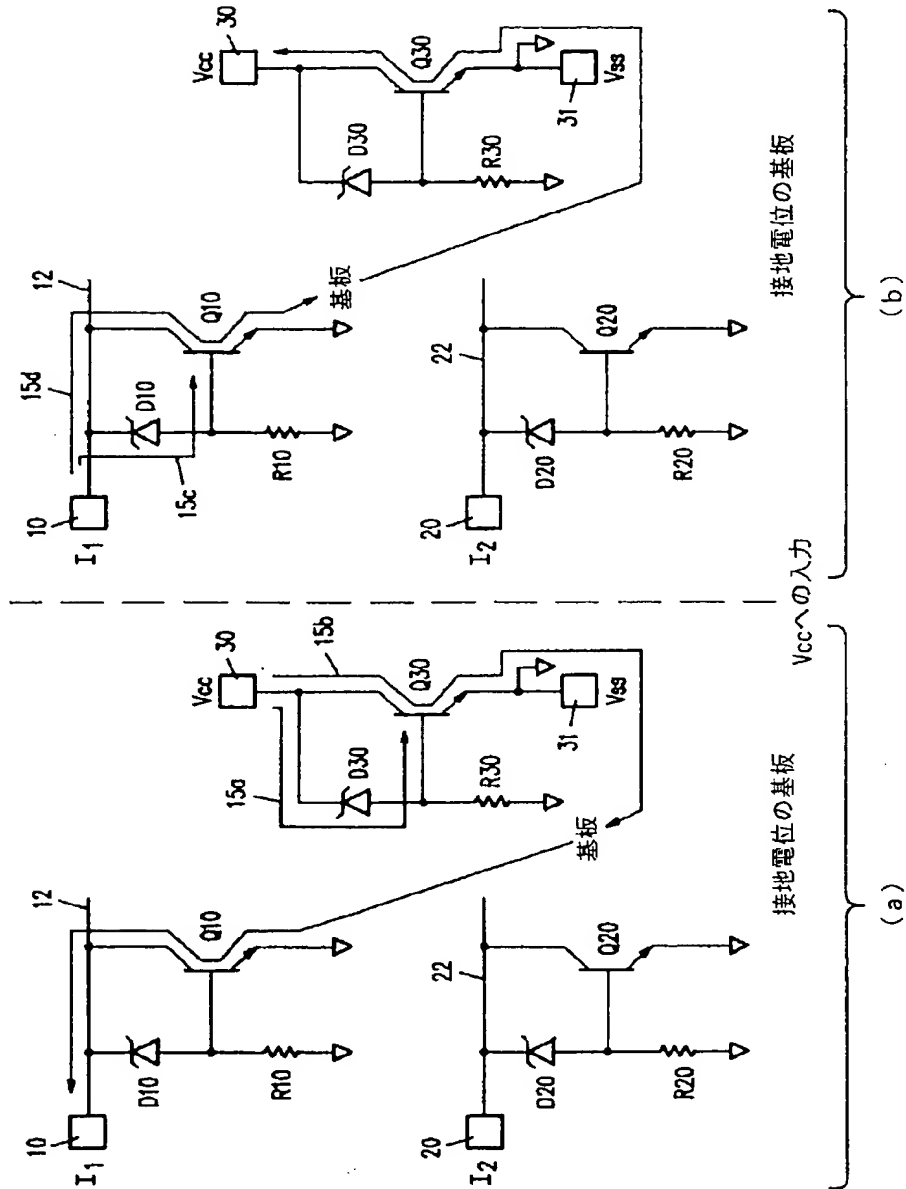
Q10 エミッタ領域: $4 \times 103 \times 2.8 \mu\text{m}^2$
D10 面積: $16.8 \times 3.0 \mu\text{m}^2$
R10: 500Ω

(b)

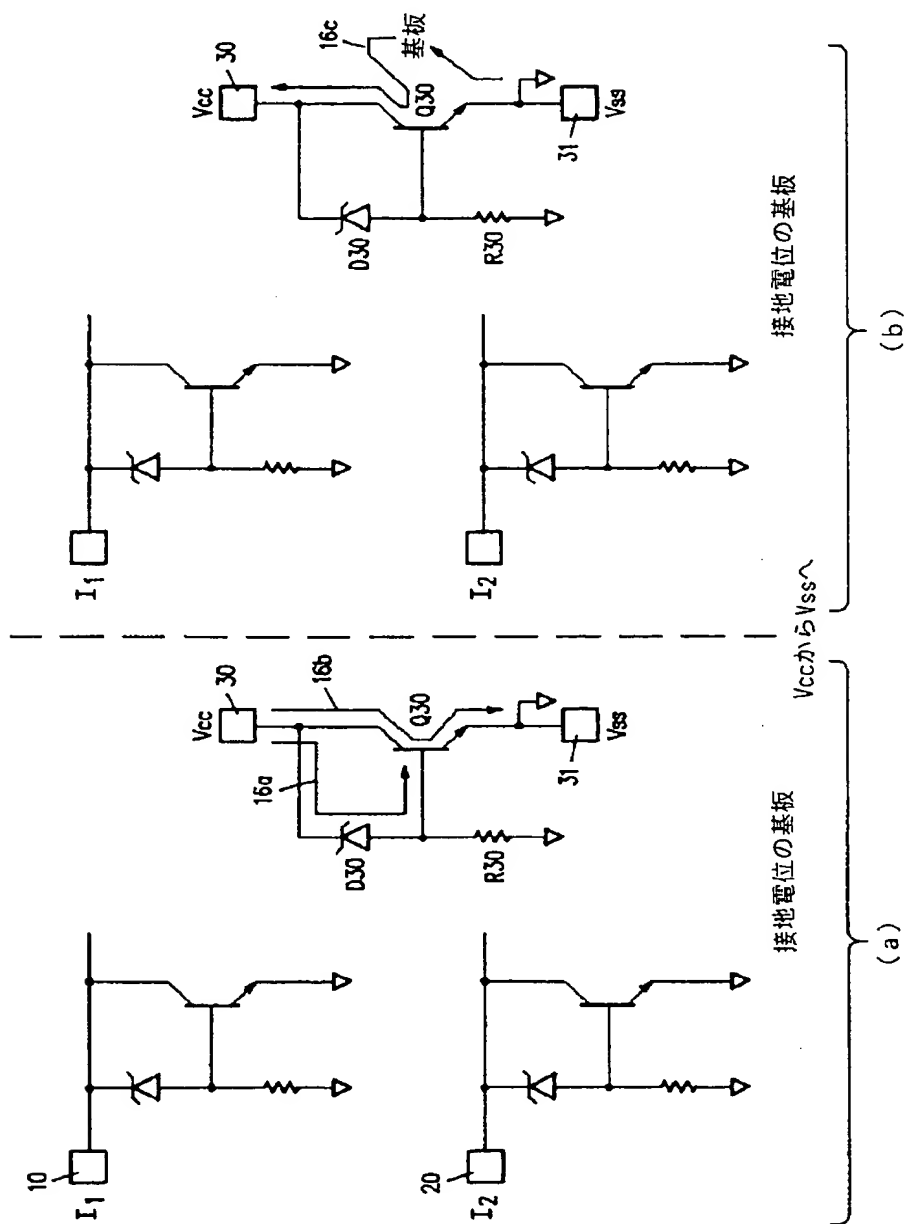
【図4】



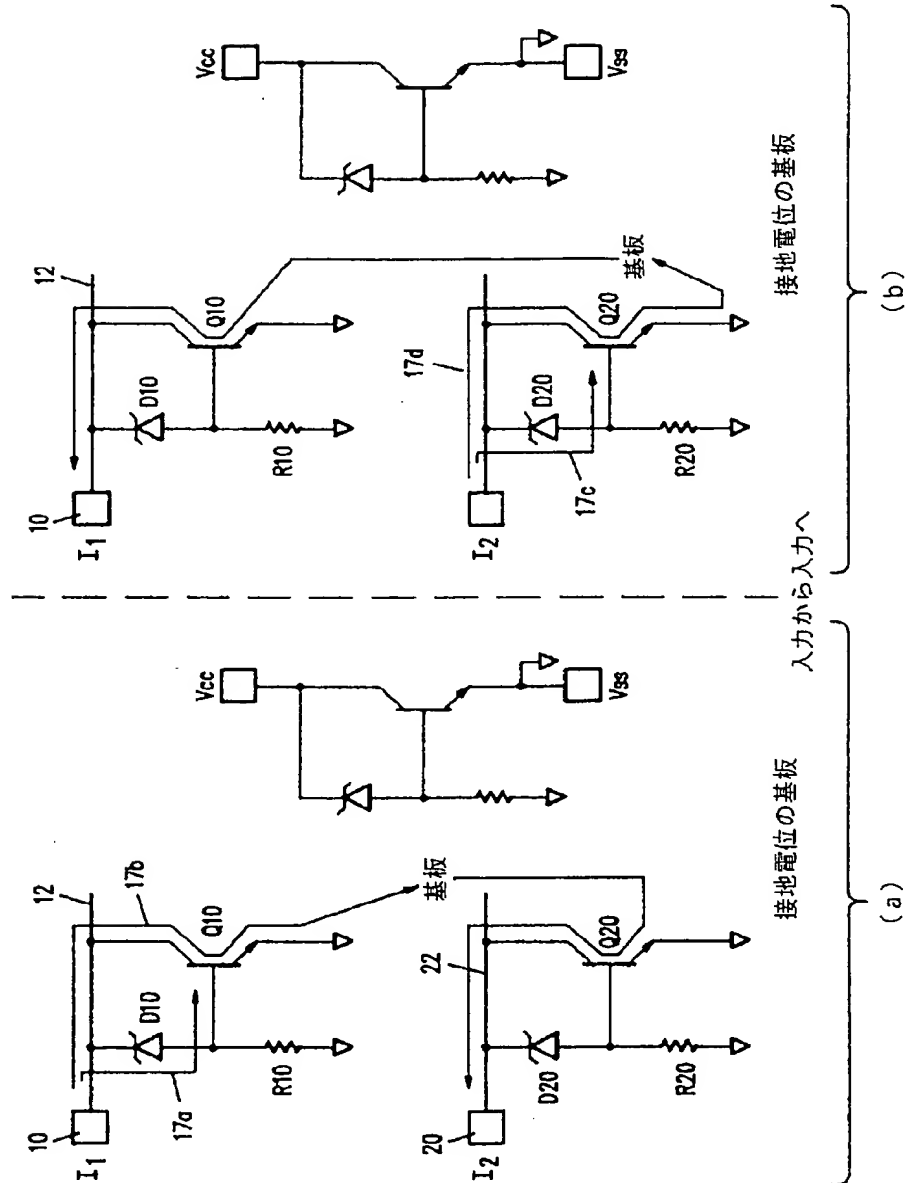
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 デイヴィッド・シー・レイノルズ
 アメリカ合衆国マサチューセッツ州01833
 ジョージタウン、デニー・ストリート・
 137

(72)発明者 ダグ・ファレンコプフ
 アメリカ合衆国カリフォルニア州95051サ
 ンタ・クララ、ステインハート・コート・
 2815

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/04		(45) 공고일자 (11) 등록번호 (24) 등록일자	2001년 10월 24일 10-0297014 2001년 05월 17일
(21) 출원번호 (22) 출원일자	10-1993-0015555 1993년 08월 11일	(65) 공개번호 (43) 공개일자	특 1994-0004802 1994년 03월 16일
(30) 우선권주장 (73) 특허권자	92-07/928,902 1992년 08월 12일 미국(US) 내셔널 세미콘덕터 코포레이션		
(72) 발명자	미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미콘덕터 드라이브 리차드 비. 메릴 미합중국, 캘리포니아 94014, 데일라 씨티, 258 알타 비스타 웨이 데이비드 씨. 레이놀드즈 미합중국, 매사추세츠 01833, 조지타운, 137 테니 스트리트 도그 패렌코프 미합중국, 캘리포니아 95051, 산타 클라라, 2815 스테인하트 코트 옥돈상, 옥영동		
(74) 대리인			

심사관 : 김근모

(54) NPN 바이폴라 트랜지스터를 사용하는 정전방전(ESD)보호

요약

정전 방전에 대한 IC를 보호하는 회로는 제1 I/O패드에서 접속된 컬렉터 및 Vss에 접속된 에미터를 갖는 NPN 트랜지스터를 포함한다. 제너 다이오드는 제1 I/O패드에서 접속된 캐소드, NPN 트랜지스터의 베이스 및 제1 저항기에 모두 접속된 애노드를 갖는다. 저항기의 타단부는 Vss에 접속되어 있다.

대표도

도 1

명세서

[발명의 명칭]

NPN 바이폴라 트랜지스터를 사용하는 정전방전(ESD)보호

[도면의 간단한 설명]

제 1 도는 정전 방전(ESD)테스트 기술에 대한 개략적인 회로도.

제 2 도는 종래의 ESD 보호 회로에 대한 개략적인 회로도.

제3a도는 본 발명에 따라 구성된 ESD 보호 회로에 대한 개략적인 회로도.

제 3b 도는 제너 다이오드를 실현하기 위한 NPN 바이폴라 트랜지스터의 사용에 대한 예시도.

제 4a 도는 본 발명에 따라 구성된 ESD 보호 회로의 바람직한 실시예에 대한 개략적인 회로도.

제 4 도 내지 제 7 도는 ESD 이벤트동안 제 4a 도의 회로 동작에 대한 예시도.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 일반적으로는 보호 회로에 관한 것이며, 보다 구체적으로는 집적회로에서의 정전 방전(ESD)에 대하여 보호하는 회로에 관한 것이다.

[발명의 배경]

반도체 집적 회로(IC)에서의 정전방전(ESD)은 공지된 문제점이다. 집적회로에서의 돌발 전압 스파이크의 우연한 존재는 회로 특징부(features)의 물리적 파괴를 야기시킬 수 있다.

예를들면, ESD에 의해 유도된 스파이크는 전개효과 트랜지스터(FET)의 얇은 게이트 산화물을 파열시키거나, 단순히 반도체 디바이스의 P-N 접합을 열화(劣化)시킬 수 있으므로, 실제로 적절한 IC 동작을 파괴시킬 수 있다. MOS트랜지스터에서의 전형적인 '게이트 산화물'은 게이트 산화물의 절연 내력이 대략 10⁷ V/cm 이상인 경우 파열한다.

반도체 디바이스상에서의 ESD이벤트의 효과를 시뮬레이트하는 기본 모델이 3가지가 있는데, 그러한 모델은 인체 모델, 기계 모델, 및 충전 디바이스 모델이다. 이들 모델은 ESD이벤트에 대한 디바이스의 저항을 한정하는 테스터를 구성하고, 표준 회로 시뮬레이션 기술을 사용하여 제안된 ESD보호 회로의 유효성을 모델화시키는데 사용될 수 있다.

인체 모델은 반도체 디바이스상에서의 수작업의 효과를 시뮬레이트하고자 의도된 것이다. 제 1 도에서, 캐패시턴스(C1)는 인체의 캐패시턴스를 시뮬레이트하고 일반적으로는 100 pF 이도록 선택된다. 저항(R1)은 인체의 직렬 저항을 시뮬레이트하고 대개는 1.5KΩ으로서 모델화된다. 캐패시턴스(C1)는 초기 전압(Vi)으로 충전된 다음에 테스트하에서 디바이스(DUT)내로 방전된다.

2 내지 3 Kev 정도의 예비 충전을 견딜 수 있는 디바이스는 공업 표준으로 허용될 수 있으리라고 생각된다. 인체 모델에 따라 테스트하기 위한 폭넓게 추종된 표준은 MIL - STD - 883C, notice 8, method 3015.7, '정전 방전 감도 테스트(Electrical Discharge Sensitivity Test)'(1989)에 제공되어 있다.

기계 모델 또는 '0 오옴' 모델은, C1 이 200pF이며 R1이 '0 오옴'에 근접하는 것을 제외하고는 제 1 도 회로를 사용한다. 실제 구조에서는, R1 이 20 내지 40 오옴의 범위에 있다. 기계 모델의 방전 시상수는 인체 모델보다 훨씬 작으며 기생 회로 구성 부품은 방전시 DUT 에 의해 알 수 있는 최대의 전류 및 전압보다도 더 영향을 미칠 수 있다. 400 볼트를 견딜 수 있는 디바이스는 공업 표준으로 허용할 수 있으리라고 생각된다. 이러한 모델은 흔히 일본에서 사용되고 있으며 EIAJ Standards of the Electronic Industries Association of Japan, IC - 121 Book2(1988)에 포함되어 있다.

충전 디바이스 모델은 반도체 디바이스의 패키징 및 테스트시 기계조작과 관련된 ESD고장 메카니즘을 시뮬레이트하는데 사용된다. 이러한 모델에 의하면, IC패키지는 대량의 전계의 존재에 의해서나 마찰전기 에 의해서 전위(1000 볼트 내지 2000 볼트)로 충전된다. 그리하여, 디바이스는 디바이스 핀중 어느 하나를 거쳐 접지로 방전된다. 충전은 대개 기판 핀을 통해 이행되며 방전은 접지된 저(low)인덕턴스 프로브와 디바이스핀을 접촉시킴으로써 개시된다. 이러한 방전 과정에 대한 시상수는 150ps보다 작으며, 방전된 에너지는 패키지 캐패시턴스에 의존한다.

충전된 디바이스 모델은 패키징된 반도체 디바이스의 기계 조작시의 ESD이벤트를 시뮬레이트한다. 기계 조작으로 부터의 ESD손상은, 인체의 ESD손상을 최소화시키는데 주의력이 모아지지만 기계로 부터의 ESD손상을 최소화 시키는데에는 비교적 적은 작업이 이행되기 때문에 수작업으로부터의 ESD손상 보다 중요하다. 아직 어떠한 공인 표준도 충전 디바이스 모델에 대하여 존재하지 않지만, 곧 EOS/ESD Association, Device Standard Committee로 부터 어떠한 표준이 예상된다.

접합 누설은 ESD고장의 통상적인 형태이다. 2000 볼트의 인체 모델은 0.2mj 의 에너지와 등가이며, 이는 실온으로 부터 85,000 μm^3 의 실리콘을 용융점까지 상승시키기에 충분한 에너지이다. ESD이벤트는 반도체 디바이스의 실리콘 결정 구조에 상당한 손상을 주기에 충분한 에너지를 갖게 된다. 따라서, 어떠한 재료 기술은 본래 다른 것보다 이러한 손상 형태에 더욱 민감하다. 예를들면, Al/TiW/PtSi₂ 야금으로 형성된 접점은 보다 높은 온도를 견디는 TiW/TiN 장벽의 능력에 기인하여 W/TiW/TiN 야금으로 형성된 접점 보다 접합 누설에 더욱 민감하다. 살리사이드화된(salicided)접합은, 살리사이드에 의해 전류가 소오스 - 드레인 및 활성 영역에지를 향해 몰려들어감으로써, 국부 전력 밀도를 증가시키기 때문에 살리사이드화되지 않은 접합보다 접합 누설에 보다 민감한 경향이 있다.

특히, 특징부 사이즈가 계속 축소되고 본래의 게이트 산화물 항복 전압이 그에 따라 감소되기 때문에, 진보된 CMOS 공정에 대한 가장 통상적인 ESD 고장 메카니즘은 게이트 산화물의 보전성을 파괴한다.

그보다는 덜 통상적인 사항으로는, 개방 고장이 ESD 전류의 경로에서 생긴다. 예를들면, 입력과 직렬을 이루는 바이어(via)는 개방회로가 될 수 있거나, 전류 제한기로서 보호 회로망에 의도적으로 배치한 폴리실리콘 직렬 저항기는 과도한 에너지를 흡수하여 발산시킬 수 있다. 대개, 이러한 고장 형태는, 대량의 ESD 전류가 흐르는 모든 경로에 충분한 전류 전송 능력이 존재하게 하는 레이아웃(layout)규칙에 의해 해결될 수 있다.

제2도에는 종래의 CMOS 입력 보호 회로망이 예시되어 있다. ESD스트레스의 극성이 접지에 대하여 음(-)일 경우, 다이오드(D1)는 순바이어스 된다. 다이오드 직렬 저항이 충분히 작은 한, 회로에 의해 나타나는 전압은 칩상에서 전력 소산을 최소화시켜서 CMOS 게이트 산화물을 보호하기에 충분히 작은 상태로 된다. 예를들면, 3 Kev 로 충전된 인체 모델은 2 amp 의 순시전류에 해당한다. 그러므로, 다이오드 직렬 저항은, 0.5 μm 의 CMOS 공정이 전형적인 게이트 10mn 산화물에 대하여 최악의 경우에 해당하는 8볼트의 항복 전압으로 회로에 의해 나타나는 전체 전압을 유지하도록 단지 4오옴에 지나지 않아야 한다.

ESD 스트레스가 접지에 대하여 양(+)일 경우, 전류에 대하여 2가지 가능성이 존재한다. 첫번째로서, 다이오드(D2)는 역항복 전압에 이를때까지 충분히 충전되는데, 이러한 시점에서 입력 전압의 상승이 클램프(clamp)되는 경향이 있다. 불행하게도, D2에 대한 역항복 전압은 게이트 산화물 항복 전압 보다 높을 수 있음으로 해서, 입력 또는 출력 디바이스 버퍼에 손상을 주는 전압이 통과할 수 있다. 두번째로서, 다이오드(D1)는 순바이어스되어, 기생 전계 턴온, 게이트 산화물 항복 또는 래치업(latchup)과 같은 다이(die)상의 어떤 항복 메카니즘이 Vcc의 상승을 클램프시킬 때까지 Vcc 를 충분히 충전시키기 시작한다. 이러한 메카니즘이 ESD 스트레스 동안 다이의 내부 고장을 야기시킨다.

그러므로, 다이상에 도달되는 최대 전압이 감소될 수 있는 경우, ESD스트레스 동안 칩상에 소산되는 전력이 감소되고, 이는 다시 상기 스트레스 동안에 도달되는 접합 온도를 감소시키므로 결국 접합 누설 고장 메카니즘을 감소시킨다.

그와 동시에, 게이트 산화물상의 스트레스는 또한 감소된다. 그러므로, 스트레스 동안 회로에 의해 나타나는 전압 이탈을 최소화시키는 것이 바람직하다. 이는, 입력 다이오드(D2)의 항복 전압을 감소시킴으로써나 Vcc/Vss 항복 전압을 감소시킴으로써 이행될 수 있으며, 그와 동시에 항복 전압후의 직렬 저항이 최소화되게 함으로써 이행될 수 있다. 스냅 백(snap back) 또는 래치업(latchup)특성을 갖는 디바이스는 보다 낮은 항복 전압을 이루는데 사용되었으나, 몇가지 단점, 즉 트리거 전압이 게이트 산화물 항복 전

압을 초과하기에 충분히 높은 레벨일 수 있으므로 아마도 게이트 전류를 손상시키는 순간 펄스를 야기시킨다는 단점, 음(-)저항 디바이스가 전형적인 회로 시뮬레이션 기술로써 모델화시키기 어려울 뿐 아니라, 디바이스 특성이 예측하기 어려운 방식의 레이아웃에 민감하다는 단점, 래치업이 비교적 긴 수명 베이스 폭 전방에 걸친 소수 캐리어 확산에 의존하고 이러한 공정이, 특히 충전 디바이스 모델에 대한 ESD 이벤트에 응답하기에 충분히 빠르지 않을 수 있다는 단점, 및 음(-)저항 특성이 충분히 나타나는 경우, 이는 디바이스의 래치업 성능을 열화시킬 수 있다는 단점이 있다. 따라서, 이들 단점을 제거하는 보호 회로를 형성하는 것이 바람직스럽다.

[발명의 요약]

보호 회로는 정전 방전(ESD)으로부터 IC 특징을 보호하는 집적회로(IC)와 함께 사용될 수 있다. IC 패키지는 최소한 IC에 제 1의 기준전압을 공급하는 제 1 접점, IC에 제 2의 기준전압을 공급하는 제 2 접점, 및 IC의 각각의 회로 특징부를 전기적으로 접속시키는 복수개의 I/O 접점을 갖는다. 제 1 제너 다이오드의 캐소드는 제 1 접점에 접속되어 있다. 제 1 트랜지스터의 콜렉터는 제 1 접점에 접속되어 있다. 제 1 트랜지스터의 에미터는 제 2 접점에 접속되어 있다. 제 1 제너 다이오드의 애노드는 제 1 저항기의 제 1 단자 및 제 1 트랜지스터의 베이스에 접속되어 있다. 제 1 저항기의 제 2 단자는 제 2 기준전압에 접속되어 있다. 제 2 제너 다이오드의 캐소드는 I/O 접점에 접속되어 있다. 제 2 트랜지스터의 에미터는 제 2 기준전압에 접속되어 있다. 제 2 제너 다이오드의 애노드는 제 2 저항기의 제 1 단자 및 제 2 트랜지스터의 베이스에 접속되어 있다. 제 1 저항기의 제 2 단자는 제 2 기준전압에 접속되어 있다.

본 발명의 특징 및 이점에 대한 보다 양호한 이해는 본 발명의 원리가 사용된 실시예를 보여주는 첨부된 도면 및 이하 본 발명의 상세한 설명을 참조하면 실현될 것이다.

[본 발명의 실시예에 대한 상세한 설명]

지금부터 제 3a 도를 참조하면, 전형적으로 반도체 집적회로 패키지는 접점 패드(10)를 포함하며 접점 패드(10)는 상호 접속부(12)를 거쳐 집적 회로 특징부(13)에 전기적으로 접속되어 있다. 본 발명에 의하면, 제너 다이오드(D10)는 NPN 바이폴라 트랜지스터(Q10)의 베이스에 접속된 애노드 및 상호 접속부(12)에 접속된 캐소드를 갖는다. 상기 다이오드(D10)는 제 3b 도에 도시된 바와같이 다이오드 접속형 NPN 바이폴라 트랜지스터(Q12)를 사용하여 실현될 수 있다. 그러한 디바이스는 $16.8 \times 3.0 \mu\text{m}^2$ 의 다이오드 면적을 갖도록 형성됨으로써, 대략 6 볼트의 역향복 전압을 제공할 수 있다. 트랜지스터(Q12)의 콜렉터는 ESD전류의 결과로서의 전압 강하 및 제너 역향복 전압의 합계를 최소화시키도록 낮은 저항(수 옴)을 지녀야 한다.

저항기(R10)는 트랜지스터(Q10)의 베이스 및 접지사이에 접속되어 있다. 트랜지스터(Q10)의 에미터는 접지에 접속되어 있으며 트랜지스터(Q10)의 콜렉터는 상호접속부(12)에 접속되어 있다.

트랜지스터(Q10)는 기생저항이 작도록 면적이 넓은 NPN 바이폴라 트랜지스터이다. 예를들면, 에미터 면적은 $4 \times 103 \times 2.8 \mu\text{m}^2$ 의 다이오드 면적상에 실현될 수 있다. 그러한 방식으로, ESD 전류에 의해 형성된 전압은 작게될 수 있다.

제 4a 도에는 ESD 보호 회로의 바람직한 실시예가 예시되어 있는데, 이 경우에는 전형적인 집적회로 칩 패키지가 최소한 제 1 I/O 패드(10), 제 2 I/O 패드(20), 제 1 기준 전압 패드(30), 및 제 2 기준 전압 패드(31)를 포함한다. 제 1 기준 전압 패드(30)는 IC에 Vcc를 공급하기 위함이며, 제 2 기준 전압 패드(31)는 IC에 Vss를 공급하기 위함이다. 전형적으로는, Vss는 접지에 결속되어 있으므로, IC의 반도체 디바이스의 기판도 접지되어 있다.

다이오드(D10)는 상호 접속부(12) 및 트랜지스터(Q10)의 베이스 사이에 접속되어 있다. 저항기(R10)는 Vss 및 트랜지스터(Q10)의 베이스 사이에 접속되어 있다. 트랜지스터(Q10)의 콜렉터는 상호 접속부(12)에 접속되어 있으며, 트랜지스터(Q10)의 에미터는 Vss에 접속되어 있다. 마찬가지로, 다이오드(D20)는 상호 접속부(22) 및 트랜지스터(Q20)의 베이스 사이에 접속되어 있다. 저항기(R20)는 Vss 및 트랜지스터(Q20)의 베이스 사이에 접속되어 있다. 트랜지스터(Q20)의 콜렉터는 상호 접속부(22)에 접속되어 있으며, 트랜지스터(Q20)의 에미터는 Vss에 접속되어 있다. 더구나, 다이오드(D30)는 패드(30)(Vcc) 및 트랜지스터(Q30)의 베이스 사이에 접속되어 있다. 저항기(R30)는 패드(31)(Vss = 접지) 및 트랜지스터(Q30)의 베이스사이에 접속되어 있다. 트랜지스터(Q30)의 콜렉터는 Vcc에 접속되어 있으며 트랜지스터(Q30)의 에미터는 Vss에 접속되어 있다.

지금부터, 제 4a도에 예시된 회로 구성을 사용하여 4개의 가능한 ESD이벤트, 즉(1)I/O - Vss, (2)I/O - Vcc, (3)Vcc - vss, 및 (4)I/O - I/O를 각각 기술하고자 한다.

제 4a도 및 제 4b도에서는, ESD이벤트가 I/O패드(10) 및 Vss사이에 존재한다. 제 4a도에서는, 양(+)으로 되는 ESD 펄스가 다이오드(D10)를 역바이어스(화살표(14a)참조)시킴으로써 트랜지스터(Q10)의 베이스 - 에미터 접합을 순바이어스시키고, 이로인해 콜렉터 - 에미터 채널은 화살표(14b)로 나타낸 경로를 따라 Vss(접지)에 ESD 전류를 도통시킨다. 제 4b도에서는, 음(-)으로 되는 ESD펄스로 인해, 트랜지스터(Q10)의 콜렉터는 에미터, 결과적으로는 기판보다 큰 음(-)전의 상태로 됨으로써, 상기 채널은 기판을 통해 콜렉터로 역 전류를 도통시켜 화살표(14c)로 나타낸 경로를 따라 ESD 펄스를 소산시킨다.

제 5a도 및 제 5b도에서는, ESD 이벤트가 I/O 패드(10) 및 Vcc사이에 존재한다. 제 5a도에서는, Vcc에 대하여 양(+)극성을 갖는 ESD 펄스가 다이오드(D30)를 역바이어스시킴으로써 트랜지스터(Q30)의 베이스 - 에미터 접합을 순바이어스시키고, 이로인해 트랜지스터(Q30)의 콜렉터 - 에미터 채널은 화살표(15a)로 나타낸 경로를 따라 Vss에 ESD 전류를 도통시킨다. Vss가 기판에 결속되어 있기 때문에, 트랜지스터(Q10)의 베이스 - 콜렉터 접합은, ESD 전류가 화살표(15b)로 나타낸 바와같이 기판 - 콜렉터를 통해 패드(10)로 도통되도록 순바이어스된다.

제 5b도에서는, 음(-)으로 되는 ESD 펄스가 다이오드(D10)를 역바이어스(화살표(15c))시킴으로써 트랜

트랜지스터(Q10)의 베이스 - 에미터 접합을 순바이어스시키고, 이로 인해, 트랜지스터(Q10)의 채널은 기판으로 ESD 펄스를 도통시킨다. 기판이 Vss 패드(31)에 접속되어 있기 때문에, 트랜지스터(Q30)의 에미터 및 기판은 콜렉터 보다 상승되며 ESD 펄스는 화살표(15d)로 나타난 경로를 따라 기판을 통해 Vcc 로 도통된다.

제 6a 도 및 제 6b 도에서는, ESD 이벤트가 Vcc 및 Vss 사이에 존재한다. 제 6a 도에서는, 양(+)으로 되는 ESD 펄스가 다이오드(D30)의 역향복 전압(화살표(16a))을 신속하게 저지함으로써, 트랜지스터(Q30)의 베이스 - 에미터 접합을 순바이어스시키고, 이로 인해, 트랜지스터(Q30)의 콜렉터 - 에미터 채널은 화살표(16b)로 나타난 바와같이 Vss(접지)로 ESD 전류를 도통시킨다.

제 6b 도에서는, 음(-)으로 되는 ESD 펄스로 인해, 트랜지스터(Q30)의 콜렉터는 에미터 및 기판 보다 높은 음(-)전위상태로 됨으로써, ESD 펄스는 화살표(16c)로 나타난 바와같이 기판을 거쳐 Vcc 로 도통된다.

제 7a 도 및 제 7b 도에서는, ESD 이벤트가 I/O 핀(10,20)사이에 존재한다. 제 7a 도에서는, 패드(10)에 대하여 양(+)극성을 갖는 ESD 펄스가 다이오드(D10)의 역향복 전압(화살표(17a))을 신속하게 저지함으로써, 트랜지스터(Q10)의 베이스 에미터 접합을 순바이어스시키고, 이로 인해, 트랜지스터(Q10)의 콜렉터 - 에미터 채널은 화살표(17b)로 나타난 바와같이 기판으로 ESD 전류를 도통시킨다. 제 7b 도에서는 패드(10)에 대하여 음(-)극성을 갖는 ESD 펄스가 패드(20)에 대하여 양(+)극성을 갖는다. 그러므로, 다이오드(D20)는 역바이어스(화살표(17c))됨으로써, 트랜지스터(Q20)의 베이스 - 에미터 접합을 순바이어스시키고, 이로 인해 트랜지스터(Q20)의 콜렉터 - 에미터 채널은 화살표(17d)로 나타난 바와같이 기판으로 ESD 전류를 도통시킨다. 트랜지스터(Q10)의 콜렉터가 에미터 및 기판 이하로 강하되기 때문에, 기판은 화살표(17d)로 나타난 바와같이 콜렉터로 도통한다.

본 발명은 상기에 기술한 특징의 실시예에 국한하고자 의도된 것이 아니라, 오히려 첨부된 특허청구의 범위에 의해 한정된다는 점을 이해하여야 한다.

(57) 청구의 범위

청구항 1

정전 방전(ESD)펄스로부터 집적 회로 특징부를 보호하기 위하여 집적회로(IC)에 대하여 사용가능한 보호 회로로서, 상기 IC를 포함하는 패키지가, 상호 접속부를 거쳐 IC 의 각각의 특징부에 전기적으로 접촉하는 복수개의 패드를 포함하고, 상기 패키지는, 최소한 제 1 상호접속부를 거쳐 제 1의 IC 특징부에 접촉하는 제 1 패드, 제 2 상호 접속부를 거쳐 제 2의 IC 특징부에 접촉하는 제 2 패드, 제 3 상호 접속부를 거쳐 IC 에 제 1 기준 전압을 제공하는 제 3 패드, 및 제 4 상호 접속부를 거쳐 IC 에 제 2 기준 전압을 제공하는 제 4 패드를 포함하며, 상기 보호 회로는, 애노드 및 캐소드를 갖는 제너 다이오드; 베이스, 콜렉터, 및 에미터를 갖는 제 1 바이폴라 트랜지스터; 및 제 1 및 제 2 단자를 갖는 저항기를 포함하고, 제너 다이오드의 캐소드는 제 1 상호 접속부에 접속되어 있으며, 제 1 트랜지스터의 콜렉터는 제 1 상호 접속부에 접속되어 있고, 제너 다이오드의 애노드 및 제 1 트랜지스터의 베이스는 저항기의 제 1 단자에 접속되어 있으며, 제 1 트랜지스터의 에미터 및 저항기의 제2단자는 제4상호 접속부에 접속되어 있는 것을 특징으로 하는 보호 회로.

청구항 2

제 1 항에 있어서, 상기 제너 다이오드는 애노드를 형성하도록 콜렉터에 접속된 베이스, 캐소드를 형성하는 에미터를 지니는 제 2 바이폴라 트랜지스터를 포함하는 것을 특징으로 하는 보호 회로.

청구항 3

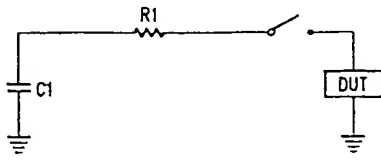
정전 방전(ESD)펄스로부터 집적 회로의 회로 특징부를 보호하기 위하여 집적회로(IC)에 대하여 사용가능한 보호 회로로서, 상기 IC 를 포함하는 IC 패키지가, IC 에 제 1 기준 전압을 공급하는 제 1 접점, IC 에 제2기준전압을 공급하는 제2접점, 및 IC의 각각의 I/O회로 특징부에 전기적으로 접촉하는 복수개의 I/O 접점을 적어도 지니며, 상기 보호 회로는, 애노드 및 캐소드를 각각 지니는 복수개의 제너 다이오드; 베이스, 콜렉터, 및 에미터를 각각 지니는 복수개의 바이폴라 트랜지스터; 및 제 1 및 제 2 단자를 각각 지니는 복수개의 저항기를 포함하고, 제 1 제너 다이오드의 캐소드는 상기 제 1 접점에 접속되어 있으며, 제 1 트랜지스터의 콜렉터는 상기 제 1 접점에 접속되어 있고, 상기 제 1 트랜지스터의 에미터는 상기 제 2 접점에 접속되어 있으며, 상기 제 1 제너 다이오드의 애노드는 제 1 저항기의 제 1 단자에 및 상기 제 1 트랜지스터의 베이스에 접속되어 있고, 상기 제 1 저항기의 제 2 단자는 상기 제 2 기준 전압에 접속되어 있으며, 각각의 I/O 회로 특징부에 대하여, 제 2 제너 다이오드의 캐소드는 하나의 I/O접점에 접속되어 있고, 제 2 트랜지스터의 콜렉터는 상기 I/O접점에 접속되어 있으며, 상기 제 2 트랜지스터의 에미터는 상기 제 2 기준 전압에 접속되어 있고, 상기 제 2 제너 다이오드의 애노드는 제 2 저항기의 제 1 단자에 및 상기 제 2 트랜지스터의 베이스에 접속되어 있으며, 상기 제 2 저항기의 제 2 단자는 상기 제 2 기준 전압에 접속되어 있는 것을 특징으로 하는 보호 회로.

청구항 4

제 3 항에 있어서, 각각의 제너 다이오드는 애노드를 형성하도록 콜렉터에 접속된 베이스 및 캐소드를 형성하는 에미터를 지니는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 보호 회로.

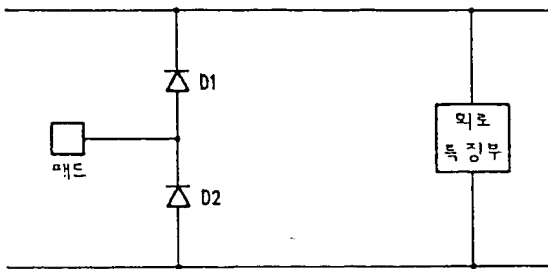
도면

도면1



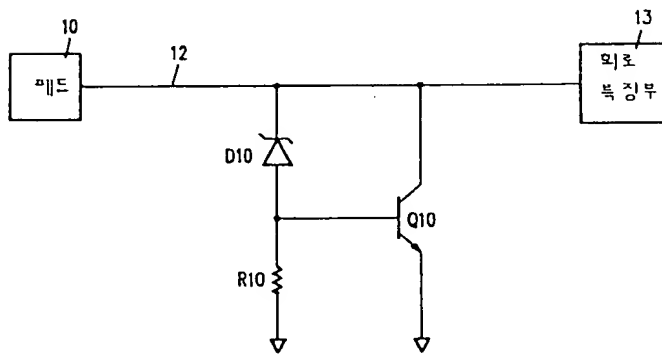
선 행 기 술

도면2

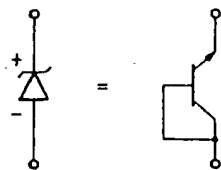


선 행 기 술

도면3a

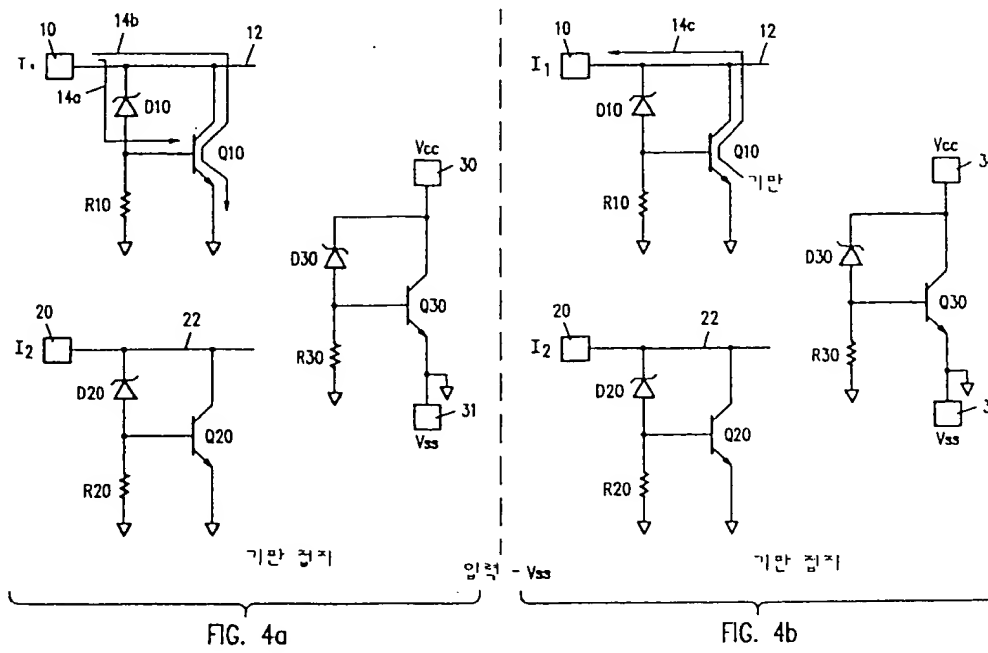


도면3b

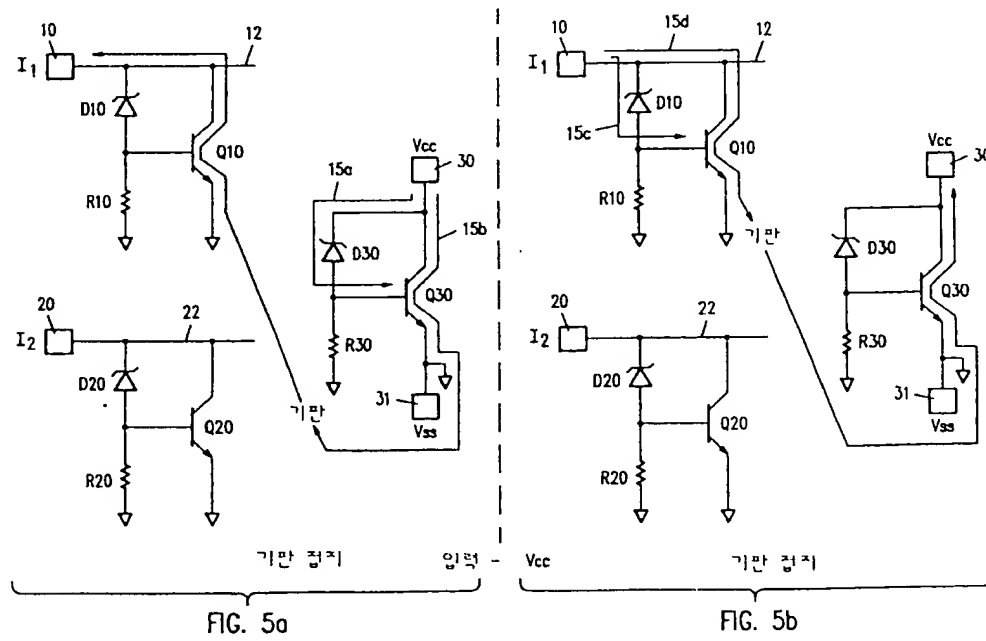


Q₁ 에미터 영역: 4x103x2.8 μm^2
 D₁ 영역 : 16.8x3.0 μm^2
 R₁ : 500 Ω

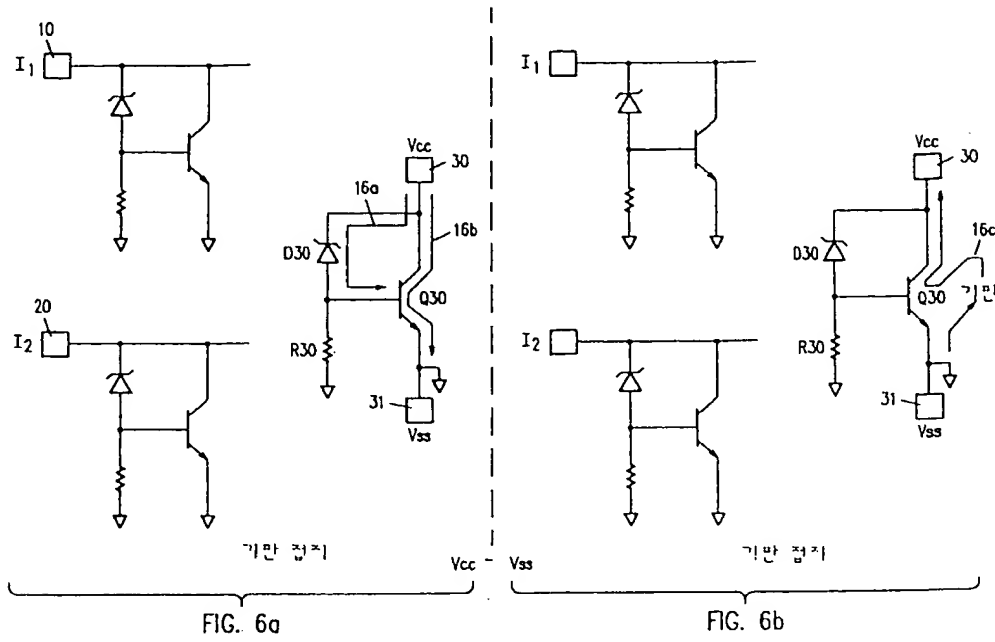
도면4



도면5



도면6



도면7

